

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Sang In KIM, et al.

GAU: TBA

SERIAL NO: To Be Assigned

EXAMINER: TBA

FILED: December 7, 2000

FOR: Liquid Crystal Display and Fabricating Method

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA	1999-58748	December 17, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

Date: December 7, 2000

Sixth Floor
701 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
Tel. (202) 624-1200
Fax. (202) 624-1298
66958.1

LONG ALDRIDGE & NORMAN LLP

Rebecca A. Goldman
Rebecca A. Goldman

Registration No. 41,786

10892 U.S. PTO
09/730836
12/07/00
#2
23 Feb 01
R. Talbot

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

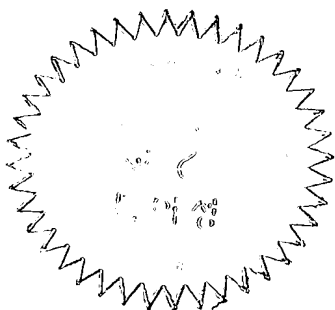
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 1999년 제 58748 호
Application Number

출원년월일 : 1999년 12월 17일
Date of Application

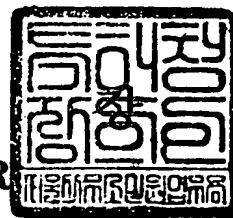
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s)



2000 년 11 월 01 일

특 허 청

COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	1999. 12. 17		
【발명의 명칭】	액정표시장치의 제조방법		
【발명의 영문명칭】	Method of Fabricating Liquid Crystal Display Device		
【출원인】			
【명칭】	엘지 .필립스 엘시디 주식회사		
【출원인코드】	1-1998-101865-5		
【대리인】			
【성명】	김영호		
【대리인코드】	9-1998-000083-1		
【포괄위임등록번호】	1999-001050-4		
【발명자】			
【성명의 국문표기】	김상인		
【성명의 영문표기】	KIM, Sang In		
【주민등록번호】	690210-1683321		
【우편번호】	157-785		
【주소】	서울특별시 강서구 방화3동 방화5단지아파트 505동 715호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	박일룡		
【성명의 영문표기】	PARK, Il Ryong		
【주민등록번호】	700101-1690212		
【우편번호】	730-360		
【주소】	경상북도 구미시 진평동 642-3번지		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 호 (인) 김영		
【수수료】			
【기본출원료】	14	면	29,000 원
【가산출원료】	0	면	0 원

1019990058748

2000/11/

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		

【요약서】**【요약】**

본 발명은 액정표시장치의 제조방법에 관한 것으로서 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층, 소오스 및 드레인전극으로 이루어진 박막트랜지스터를 포함하는 액정표시장치의 제조방법에 있어서, 상기 투명기판 상에 상기 박막트랜지스터를 덮는 유기절연물질로 이루어진 패시베이션층을 형성하는 공정과, 상기 패시베이션층을 패터닝하여 상기 드레인전극을 노출시키는 접촉홀을 형성하고 상기 패시베이션층의 표면을 UV(Ultra Violet)광으로 세정하여 친수성의 버퍼층을 형성하는 공정과, 상기 버퍼층 상에 상기 접촉홀을 통해 상기 드레인전극과 접촉되도록 화소전극을 형성하는 공정을 구비한다.

따라서, 상압에서 소수성의 패시베이션층의 표면에 친수성의 버퍼층을 형성하므로 공정 시간을 감소시킬 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

액정표시장치의 제조방법{Method of Fabricating Liquid Crystal Display Device}

【도면의 간단한 설명】

도 1a 내지 도 1e는 종래 기술에 따른 액정표시장치의 제조 공정도

도 2a 내지 도 2e는 본 발명에 따른 액정표시장치의 제조 공정도

<도면의 주요 부분에 대한 부호의 설명>

31 : 투명기판 33 : 게이트전극

35 : 게이트절연막 37 : 활성층

39 : 오믹접촉층

41, 43 : 소오스 및 드레인전극

45 : 패시베이션층 47 : 접촉홀

49 : 버퍼층 51 : 화소전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 액정표시장치의 제조방법에 관한 것으로서, 특히, 패시베이션층과 화소

전극의 부착력을 향상시켜 화소전극이 과도식각되어 크기가 작아지는 것을 방지하는 액정표시장치의 제조방법에 관한 것이다.

<11> 액정표시장치는 게이트전극, 게이트절연막, 활성층, 오믹접촉층, 소오스 및 드레인 전극으로 구성된 박막트랜지스터(Thin Film Transistor)로 이루어진 스위칭 소자와 화소(pixel) 전극이 형성된 하판과 칼라필터가 형성된 상판 사이에 주입된 액정으로 이루어진다.

<12> 액정표시장치에서 스위칭소자인 박막트랜지스터와 이에 연결된 화소전극으로 구성된 단위 화소가 하부 기판 상에 각각 $N \times M$ (여기서, N 및 M 은 자연수)개가 매트릭스(matric) 상태로 종횡으로 배열되고, 이 박막트랜지스터 게이트전극들과 드레인전극들에 신호를 전달하는 N 개의 게이트라인과 M 개의 데이터라인이 게이트라인과 교차되어 형성된다.

<13> 그리고, 화소전극은 액정표시장치의 개구율을 증가시키기 위해 데이터라인 및 게이트라인과 중첩시켜 형성한다. 화소전극과 데이터라인을 중첩시켜 형성할 때에는 패시베이션층을 BCB(β -staged-divinyl-siloxane benzocyclobutene), 아크릴(acryl)계 유기화합물 또는 PFCB(perfluorocyclobutane) 등의 유전 상수가 작은 유기 절연물로 형성하여 기생 용량을 감소시킨다.

<14> 도 1a 내지 도1e는 종래 기술에 따른 액정표시장치의 제조 공정도이다.

<15> 도 1a를 참조하면, 투명기판(11) 상에 스퍼터링(sputtering) 등의 방법으로 알루미늄 또는 구리(Cu) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식 방법을 포함하는 포토리소그래피 방법으로 투명기판(11)의 소정 부분에만 잔류하도록 패터닝하

여 게이트전극(13)을 형성한다.

- <16> 도 1b를 참조하면, 투명기판(11) 상에 게이트전극(13)을 덮도록 게이트절연막(15), 활성층(17) 및 오믹접촉층(19)을 화학기상증착(Chemical Vapor Deposition : 이하, CVD 라 칭함) 방법으로 순차적으로 형성한다. 상기에서 게이트절연막(15)은 산화실리콘 또는 질화실리콘 등의 절연물질을 증착하여 형성하고, 활성층(17)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉층(19)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다.
- <17> 오믹접촉층(19) 및 활성층(17)의 소정 부분을 이방성식각을 포함하는 포토리쓰그래피 방법으로 게이트절연막(15)이 노출되도록 패터닝한다. 이 때, 활성층(17) 및 오믹접촉층(19)은 게이트전극(13)과 대응하는 부분에만 잔류되도록 한다.
- <18> 도 1c를 참조하면, 게이트절연막(15) 상에 몰리브덴(Mo), 크롬(Cr), 티타늄 또는 탄탈륨 등의 금속이나, MoW, MoTa 또는 MoNb 등의 몰리브덴 합금(Mo alloy)을 오믹접촉층(19)을 덮도록 CVD 방법 또는 스퍼터링(sputtering) 방법으로 증착한다. 상기에서 증착된 금속 또는 금속합금은 오믹접촉층(19)과 오믹 접촉을 이룬다.
- <19> 그리고, 금속 또는 금속합금을 게이트절연막(15)이 노출되도록 포토리쓰그래피 방법으로 패터닝하여 소오스 및 드레인전극(21)(23)을 형성한다. 이 때, 소오스 및 드레인전극(21)(23) 사이의 게이트전극(13)과 대응하는 부분의 금속 또는 금속합금과 오믹접촉층(19)도 패터닝되도록 하여 활성층(17)을 노출시킨다. 상기에서 활성층(17)의 소오스 및 드레인전극(21)(23) 사이의 게이트전극(13)과 대응하는 부분은 채널이 된다.
- <20> 도 1d를 참조하면, 투명기판(11) 상에 상술한 구조를 덮도록 아크릴(acryl)계 유기

화합물, BCB(β -staggered-divinyl-siloxane benzocyclobutene) 또는 PFCB(perfluorocyclobutane) 등의 유전 상수가 작은 유기 절연물을 증착하여 패시베이션층(25)을 형성한다. 이 때, 패시베이션층(25)은 소수성을 갖는다.

<21> 패시베이션층(25)을 패터닝하여 드레인전극(21)을 노출시키는 접촉홀(27)을 형성한다. 그리고, 패시베이션층(25)을 진공 상태에서 드라이 애싱(dry ashing)하여 표면을 친수성으로 변화시킨다.

<22> 도 1e를 참조하면, 패시베이션층(25) 상에 접촉홀(27)을 통해 드레인전극(21)과 접촉되게 투명한 전도성물질인 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)을 증착한다. 상기에서 패시베이션층(25)은 표면이 드라이 애싱(dry ashing)에 의해 소수성에서 친수성으로 변화되었으므로 증착되는 투명한 전도성물질과의 부착력이 향상된다. 그리고, 증착된 투명한 전도성물질을 HCl, $(\text{COOH})_2$ 또는 $\text{HCl}+\text{HNO}_3$ 의 혼산을 식각 용액으로 사용하는 포토리소그래피 방법으로 패터닝하여 화소전극(29)을 형성한다.

<23> 상술한 바와 같이 종래 기술에 따른 액정표시장치의 제조 방법은 소수성을 갖는 패시베이션층을 진공 상태에서 드라이 애싱(dry ashing)하여 표면을 친수성으로 변화시킨 후에 화소전극을 형성하기 위한 인듐주석산화물(Indium Tin Oxide : ITO) 등의 투명한 전도성물질을 증착한다. 그러므로, 인듐주석산화물(Indium Tin Oxide : ITO) 등의 투명한 전도성물질은 패시베이션층과 부착력이 향상되어 패터닝하여 화소전극을 형성할 때 크기가 감소되는 것을 방지한다.

<24> 그러나, 종래 기술에 따른 액정표시장치의 제조 방법은 패시베이션층의 표면을 소수성에서 친수성으로 변화시키기 위해 진공 상태에서 드라이 애싱하여야 하므로 장비를

진공 상태로 만들기 위해 장시간 필요하므로 공정 시간이 증가되는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<25> 따라서, 본 발명의 목적은 상압에서 소수성의 패시베이션층의 표면에 친수성의 버퍼층을 형성하므로 공정 시간을 감소시킬 수 있는 액정표시장치의 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<26> 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조방법은 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층, 소오스 및 드레인전극으로 이루어진 박막트랜지스터를 포함하는 액정표시장치의 제조방법에 있어서, 상기 투명기판 상에 상기 박막트랜지스터를 덮는 유기절연물질로 이루어진 패시베이션층을 형성하는 공정과, 상기 패시베이션층을 패터닝하여 상기 드레인전극을 노출시키는 접촉홀을 형성하고 상기 패시베이션층의 표면을 UV(Ultra Violet)광으로 세정하여 친수성의 버퍼층을 형성하는 공정과, 상기 버퍼층 상에 상기 접촉홀을 통해 상기 드레인전극과 접촉되도록 화소전극을 형성하는 공정을 구비한다.

<27> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<28> 이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

<29> 도 2a 내지 도2e는 본 발명에 따른 액정표시장치의 제조 공정도이다.

<30> 도 2a를 참조하면, 투명기판(31) 상에 알루미늄 또는 구리(Cu)를 스퍼터링

(sputtering) 등의 방법으로 증착하거나, 또는, 무전해 도금방법으로 도포하여 금속박막을 형성한다. 상기에서 투명기관(31)으로 유리, 석영 또는 투명한 플라스틱 등이 사용될 수도 있다. 그리고, 금속박막을 습식 방법을 포함하는 포토리소그래피 방법으로 절연기판(11)의 소정 부분에만 잔류하도록 패터닝하여 게이트전극(33)을 형성한다.

<31> 도 2b를 참조하면, 투명기관(31) 상에 게이트전극(33)을 덮도록 게이트절연막(35), 활성층(37) 및 오믹접촉층(39)을 CVD 방법으로 순차적으로 형성한다. 상기에서 게이트절연막(35)은 산화실리콘 또는 질화실리콘 등의 절연물질을 증착하여 형성하고, 활성층(37)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉층(39)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다.

<32> 오믹접촉층(39) 및 활성층(37)의 소정 부분을 이방성식각을 포함하는 포토리소그래피 방법으로 게이트절연막(35)이 노출되도록 패터닝한다. 이 때, 활성층(37) 및 오믹접촉층(39)은 게이트전극(33)과 대응하는 부분에만 잔류되도록 한다.

<33> 도 2c를 참조하면, 게이트절연막(35) 상에 몰리브덴(Mo), 크롬(Cr), 티타늄 또는 탄탈륨 등의 금속이나, MoW, MoTa 또는 MoNb 등의 몰리브덴 합금(Mo alloy)을 오믹접촉층(39)을 덮도록 CVD 방법 또는 스퍼터링(sputtering) 방법으로 증착한다. 상기에서 증착된 금속 또는 금속합금은 오믹접촉층(39)과 오믹 접촉을 이룬다.

<34> 그리고, 금속 또는 금속합금을 게이트절연막(35)이 노출되도록 포토리소그래피 방법으로 패터닝하여 소오스 및 드레인전극(41)(43)을 형성한다. 이 때, 소오스 및 드레인전극(41)(43) 사이의 게이트전극(33)과 대응하는 부분의 금속 또는 금속합금과 오믹접촉층(39)도 패터닝되도록 하여 활성층(37)을 노출시킨다. 상기에서 활성층(37)의 소오스

및 드레인전극(41)(43) 사이의 게이트전극(33)과 대응하는 부분은 채널이 된다.

- <35> 도 2d를 참조하면, 투명기판(31) 상에 상술한 구조를 덮는 패시베이션층(45)을 형성한다. 상기에서 패시베이션층(45)을 BCB(β -staged-divinyl-siloxane benzocyclobutene), 아크릴(acryl)계 유기화합물 또는 PFCB(perfluorocyclobutane) 등의 유전 상수가 작은 유기 절연물로 형성한다.
- <36> 패시베이션층(45)을 패터닝하여 드레인전극(41)을 노출시키는 접촉홀(47)을 형성한다. 그리고, 패시베이션층(45)의 표면을 상압에서 100~200nm 정도의 UV(Ultra Violet) 광으로 세정하여 SiO₂ 또는 다른 산화물로 이루어진 10~50Å 정도 두께의 버퍼층(49)을 형성한다. 상기에서 UV광으로 세정하기 전의 패시베이션층(45) 표면은 50~60° 정도의 큰 접촉각을 가져 소수성을 가지나, UV광으로 세정하여 형성된 버퍼층(49)은 10° 이하의 작은 접촉각을 갖게되어 친수성으로 변하게 된다.
- <37> 상기에서 100~200nm 정도의 UV광은 높은 에너지를 가지므로 대기 중의 산소를 여기시켜 오존화하며, 이 때, 오존화된 산소를 통과한 UV광은 패시베이션층(45)을 이루는 유기절연막 표면의 각 분자간 결합을 절단하여 반응성을 높여 준다. 그러므로, 패시베이션층(45) 표면의 절단된 분자의 결합손은 오존화된 산소와 반응하여 SiO₂ 또는 다른 산화물로 이루어진 친수성의 버퍼층(49)을 형성하게 된다.
- <38> 상기에서 패시베이션층(45)의 표면을 상압에서 UV광으로 세정하여 SiO₂ 또는 다른 산화물로 이루어져 친수성을 갖는 버퍼층(49)을 형성하므로 공정이 간단하게 된다.
- <39> 도 2e를 참조하면, 버퍼층(49) 상에 접촉홀(47)을 통해 드레인전극(41)과 접촉되게 투명한 전도성물질인 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide :

TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)을 증착한다. 상기에서 버퍼층(49)은 친수성을 가지므로 증착되는 투명한 전도성물질과의 부착력이 향상된다.

<40> 그리고, 증착된 투명한 전도성물질을 HCl, $(\text{COOH})_2$ 또는 $\text{HCl}+\text{HNO}_3$ 의 혼산을 식각 용액으로 사용하는 포토리쏘그래피 방법으로 패터닝하여 화소전극(51)을 형성한다. 이 때, 버퍼층(49)과 투명한 전도성물질의 부착력이 크므로 화소전극(51)이 과도하게 식각 되어 크기가 감소되는 것이 억제된다.

<41> 상술한 바와 같이 본 발명에 따른 액정표시장치의 제조방법은 소수성을 갖는 패시베이션층의 표면을 진공이 아닌 상압에서 100~200nm 정도의 UV(Ultra Violet)광으로 세정하여 SiO_2 또는 다른 산화물로 이루어진 10~50Å 정도 두께의 친수성을 갖는 버퍼층을 형성한다.

【발명의 효과】

<42> 따라서, 본 발명은 상압에서 소수성의 패시베이션층의 표면에 친수성의 버퍼층을 형성하므로 공정 시간을 감소시킬 수 있는 잇점이 있다.

<43> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야 할 것이다.

【특허청구범위】**【청구항 1】**

투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층, 소오스 및 드레인 전극으로 이루어진 박막트랜지스터를 포함하는 액정표시장치의 제조방법에 있어서,

상기 투명기판 상에 상기 박막트랜지스터를 덮는 유기절연물질로 이루어진 패시베이션층을 형성하는 공정과,

상기 패시베이션층을 패터닝하여 상기 드레인전극을 노출시키는 접촉홀을 형성하고 상기 패시베이션층의 표면을 UV(Ultra Violet)광으로 세정하여 친수성의 버퍼층을 형성하는 공정과,

상기 버퍼층 상에 상기 접촉홀을 통해 상기 드레인전극과 접촉되도록 화소전극을 형성하는 공정을 구비하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 2】

청구항 1에 있어서,

상기 패시베이션층을 BCB(β -staged-divinyl-siloxane benzocyclobutene), 아크릴(acryl)계 유기화합물 또는 PFCB(perfluorocyclobutane)의 유전 상수가 작은 유기 절연 물질로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 3】

청구항 1에 있어서,

상기 패시베이션층을 상압에서 100~200nm 정도의 UV(Ultra Violet)광으로 세정하여 버퍼층을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 4】

청구항 3에 있어서,

상기 버퍼층을 SiO_2 또는 다른 산화물로 이루어지는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 5】

청구항 4에 있어서,

상기 버퍼층을 10~50Å의 두께로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

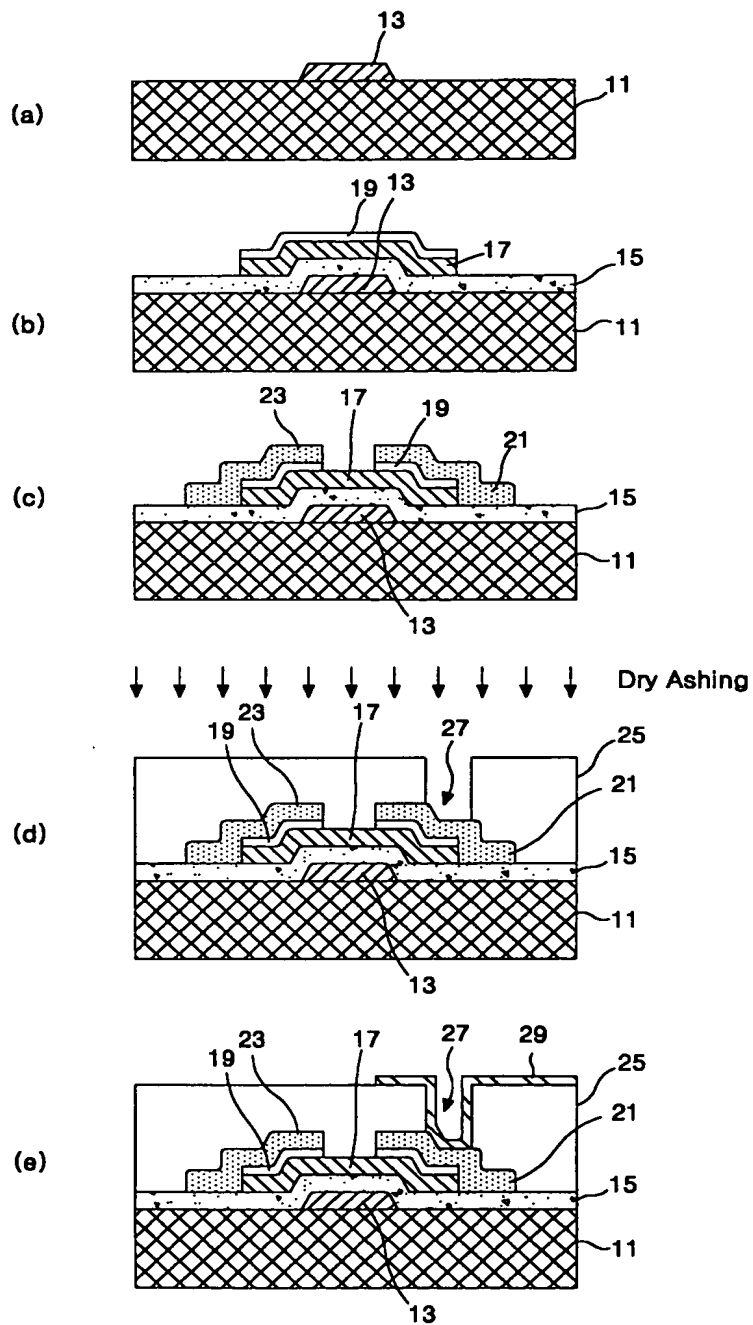
【청구항 6】

청구항 1에 있어서,

상기 화소전극을 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)으로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

【도면】

【도 1】



【도 2】

